

重 2019N051 可重构型多协议 12.5G 高速收发器关键技术研发

一、领域：电子信息技术—微电子技术

二、主要研发内容：

- (一) 高速串行收发器架构设计；
- (二) 高速 PLL 优化设计；
- (三) 均衡器低功耗设计；
- (四) 多种传输协议设计。

三、项目考核指标（项目执行期内）

(一) 经济指标：实现销售收入 ≥ 2000 万元。

(二) 学术指标：申请专利 ≥ 8 件，其中发明专利 ≥ 4 件。

(三) 技术指标：

1. 集成于国产自主千万门级 FPGA 芯片中；
2. 支持 PCIe, 10GBASE-R, XAUI, SDI 等协议；
3. 支持 16/20/32/40/64/80 bit FPGA 数据接口；
4. 支持 8B/10B 编解码标准；
5. 支持数据传输速率范围：500Mbps-12.5Gbps；
6. 支持判决反馈均衡器 (DFE) 模式和低功耗均衡模式 (LPM)。

四、项目实施期限：3 年。

五、资助资金：不超过 1000 万元。